

CFO 17650

Appln. No. 10/688,947 U.S./sei  
Filed 10/21/03  
Toshiaki Sato et al.

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月30日

出願番号 Application Number: 特願 2002-316310

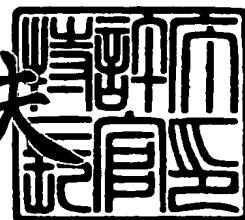
[ST. 10/C]: [JP 2002-316310]

出願人 Applicant(s): キヤノン株式会社

2003年11月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 4828006  
【提出日】 平成14年10月30日  
【あて先】 特許庁長官 太田 信一郎 殿  
【国際特許分類】 H03F 3/45  
【発明の名称】 差動増幅回路及び撮像装置  
【請求項の数】 4  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内  
【氏名】 乾 文洋  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内  
【氏名】 板野 哲也  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内  
【氏名】 小倉 正徳  
【特許出願人】  
【識別番号】 000001007  
【住所又は居所】 東京都大田区下丸子3丁目30番2号  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫  
【電話番号】 03-3758-2111

**【代理人】**

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

**【弁理士】**

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

**【選任した代理人】**

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会  
社内

**【弁理士】**

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

**【手数料の表示】**

【予納台帳番号】 011224

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動増幅回路及び撮像装置

【特許請求の範囲】

【請求項 1】 第1の信号を入力する第1の入力素子と、第2の信号を入力する第2の入力素子と、前記第1及び第2の入力素子を駆動する定電流回路とを有し、前記第1の入力素子に入力された第1の信号と、前記第2の入力素子に入力された第2の信号の差信号を出力する差動増幅回路であって、

前記第1の入力素子と前記定電流回路とは、前記第1の抵抗素子を介して接続されるとともに、前記第2の入力素子と前記定電流回路とは、前記第2の抵抗素子を介して接続され、さらに、前記第1の抵抗素子の前記第1の入力素子と異なる側及び前記第2の抵抗素子の前記第2の入力素子と異なる側と、前記定電流回路とが接続されることを特徴とする差動増幅回路。

【請求項 2】 前記第1の入力素子は、前記第1の信号を制御電極に受ける第1のトランジスタを含み、前記第2の入力素子は、前記第1の信号を制御電極に受ける第2のトランジスタを含み、さらに、前記第1のトランジスタの制御電極に出力部が前記第1のトランジスタの主電極に入力部が接続された第1のオペアンプと、前記第2のトランジスタの制御電極に出力部が前記第2のトランジスタの主電極に入力部が接続された第2のオペアンプと、を有することを特徴とする差動増幅回路。

【請求項 3】 被写体像を撮像する撮像領域と、前記撮像領域からの信号を増幅して出力する請求項1又は2に記載の差動増幅回路とを有することを特徴とする撮像装置。

【請求項 4】 前記差動増幅回路からの信号を処理するプロセッサを有することを特徴とする請求項3に記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2つの信号を差動増幅して出力する差動増幅回路に関する。

【0002】

### 【従来の技術】

固体撮像装置は、CCDセンサとMOS型センサとに大別される。CCDセンサは、一般的には、ノイズが小さい点で優れているが、消費電力が大きいという欠点がある。他方、MOS型センサは、CCDセンサに対して消費電力が格段に小さいという利点を有するが、一般的には、ノイズがやや大きいという欠点を有する。ただし、MOS型センサにおけるノイズは低減される傾向にあり、将来はCCDセンサと同等以上の性能が得られることが期待されている。

### 【0003】

図1は従来のMOS型センサの概略構成を示す図である。MOS型センサでは複数の光電変換素子110が2次元状に配列されたセンサアレイ100と、センサアレイ100から行を順次選択する垂直シフトレジスタ回路120と選択行の光電変換素子から信号電荷(S)とリセットレベル(N)をそれぞれ保持しておく信号電荷保持容量C<sub>ts</sub>とリセットレベル保持容量C<sub>tn</sub>を含むラインメモリ回路130と、ラインメモリ回路130に保持された1行分の信号電荷とリセットレベルをそれぞれ順にS側共通出力線とN側共通出力線を介して転送する水平シフトレジスタ回路140と、該S側共通出力線とN側共通出力線に転送された信号の差分信号を増幅して出力する差動增幅回路150を有する。

### 【0004】

図2は従来のMOS型センサに用いられる差動增幅回路の概略構成を示す図である。MOSトランジスタ210をフォロワ構成に接続した出力段を有するバッファ回路220を二つ配置し、その出力端子間に抵抗素子R1を挿入して入力差動対を構成し、二つのバッファ回路220の出力段それぞれにMOSカレントミラー回路240で構成した定電流源を配置した入力差動段と、前記二つのバッファ回路220の出力段MOSトランジスタ210のドレイン端子から得られる出力電流の差分値を抽出する差電流抽出手段250と、差動増幅器の出力と負入力端子の間に抵抗素子R2を挿入し、負入力端子に前記差電流抽出手段から得られる差電流を供給することによって正入力端子に供給される電圧を基準に差電流にしたがった電圧値をして出力する電流一電圧変換手段270を有する。

### 【0005】

図によれば差動入力電圧  $V_{in+}$ 、  $V_{in-}$  がバッファ回路 220 の出力端子間に接続された抵抗  $R_1$  の両端に印加され、発生する電流  $I_{r1} = (V_{in+} - V_{in-}) / R_1$  がバッファ回路 220 の出力段に供給されるためバッファ回路 220 の出力段のドレイン端子より  $I_{o1} = I_{b1} + I_{r1}$ 、  $I_{o2} = I_{b2} - I_{r1}$  の電流がそれぞれ得られる。続いて差電流抽出手段 250 によって二つのバッファ回路 220 からの出力電流の差分値  $I_{o1} - I_{o2} = I_{b1} - I_{b2} + 2 \times I_{r1}$  が電流一電圧変換手段 270 により正入力端子に供給された電圧を基準に  $V_{out} = R_2 \times (I_{o1} - I_{o2}) = R_2 \times (I_{b1} - I_{b2} + 2 \times (V_{in+} - V_{in-}) / R_1)$  が出力される。  $I_{b1}$  および  $I_{b2}$  は通常、同一電流値を出力するように定電流源は設計されるため  $V_{out} = 2 \times R_2 / R_1 \times (V_{in+} - V_{in-})$  のように入力段及び出力段に設置された抵抗値  $R_1$ 、  $R_2$  と差動入力電圧で決まる出力電圧が得られる。

### 【0006】

図3は従来のMOS型センサの駆動方法を示すタイミングチャートである。VDは垂直シフトレジスタのスタートを設定するパルス、VCLKは垂直シフトレジスタのシフトデータをシフトするためのシフトクロックパルス、HDは水平シフトレジスタのスタートを設定するパルス、HCLKは水平シフトレジスタのシフトデータをシフトするためのシフトクロックである。まずVDにより画面1行目を選択し、続いてHD、HCLKを図のようなタイミングで入力することにより、1行目の先頭画素から画素読出しレートにしたがって順次読み出される。つづいてVCLKにより行を順次シフトすることで画面最終行まで行をシフトしつつ、行内の画素を連続的に読み出す。そのため、読出しは水平方向に画素読出しレートの速度で読み出され、垂直方向には1行分の読出し時間を単位とする読出しレートで読み出されることになる。

### 【0007】

#### 【発明が解決しようとする課題】

図1、図2、及び図3に示す従来例のMOS型センサの差動増幅器は入力差動対に用いられる二つのバッファ回路220の出力段それぞれにMOSカレントミラー回路240で構成した定電流源を配置している。この定電流源に用いられる

MOSトランジスタ260のような能動素子にはサーマルノイズ、フリッカノイズ等のランダムノイズが発生する。ここではフリッカノイズと呼ばれ、以下のような式で決まるノイズスペクトル密度（電流ゆらぎ）で決まる成分について説明する。

## 【0008】

## 【外1】

$$i^2 = K_1 \times \frac{I^a}{f^b} \times \Delta f$$

## 【0009】

ここで、Iは、直流電流、K1は、素子特有の定数、aは、0.5~2の定数、bは、およそ1の定数であり、周波数fに対して積分したRMS値で表すと、

## 【0010】

## 【外2】

$$\int_0^\infty i^2 \Delta f = \int_0^\infty K_1 \times \frac{I^a}{f^b} \times \Delta f$$

となる。

## 【0011】

定電流源に発生するRMS値表記のフリッカノイズを $i_{b1}^2$ 、 $i_{b2}^2$ とすると相互に独立であるため、出力電圧として以下の式で示される電圧揺らぎとして出力電圧にノイズが発生する。

## 【0012】

## 【外3】

$$V_{out}^2 = R2^2 \times (ib1^2 + ib2^2)$$

## 【0013】

このノイズ成分は周波数fに反比例の関係にあり、主に低周波成分ノイズとして観測される。従来のMOS型センサでは読み出しは水平方向に画素読み出しレートの速度で読み出され、垂直方向には1行分の読み出し時間を単位とする読み出しレートで読み出されることになるため、画面垂直方向にノイズムラが発生することになり、画質を悪化させる要因となっている。

### 【0014】

#### 【課題を解決するための手段】

上記課題を解決するために、第1の信号を入力する第1の入力素子と、第2の信号を入力する第2の入力素子と、前記第1及び第2の入力素子を駆動する定電流回路とを有し、前記第1の入力素子に入力された第1の信号と、前記第2の入力素子に入力された第2の信号の差信号を出力する差動增幅回路であって、前記第1の入力素子と前記定電流回路とは、前記第1の抵抗素子を介して接続されるとともに、前記第2の入力素子と前記定電流回路とは、前記第2の抵抗素子を介して接続され、さらに、前記第1の抵抗素子の前記第1の入力素子と異なる側及び前記第2の抵抗素子の前記第2の入力素子と異なる側と、前記定電流回路とが接続されることを特徴とする差動增幅回路を提供する。

### 【0015】

#### 【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態について説明する。

### 【0016】

#### 【実施例】

図4は、本発明の実施の形態の固体撮像装置としてのMOS型センサの概略構成を示すブロック図である。MOS型センサでは複数の光電変換素子110が2次元状に配列されたセンサアレイ100と、センサアレイ100から行を順次選択する垂直シフトレジスタ回路120と選択行の光電変換素子110から信号電荷(S)とリセットレベル(N)をそれぞれ保持しておく信号電荷保持容量C<sub>t</sub>sとリセットレベル保持容量C<sub>t</sub>nを含むラインメモリ回路130と、ラインメモリ回路130に保持された1行分の信号電荷とリセットレベルをそれぞれ順にS側共通出力線とN側共通出力線を介して転送する水平シフトレジスタ回路140と、該S側共通出力線とN側共通出力線に転送された信号の差分信号を増幅して出力する差動增幅回路180を有する。

### 【0017】

図5は本発明の実施の形態の固体撮像装置としてのMOS型センサに用いられる差動增幅回路の概略構成を示す図である。第1、第2の入力素子であるMOS

トランジスタ210をフォロワ構成に接続した出力段を有するオープンアンプで構成されたバッファ回路220を二つ配置し、その出力端子間に同一抵抗値の二つの第1、第2の抵抗素子R3、R4を直列に接続されたものが挿入され、入力差動対を駆動する定電流源がMOSカレントミラー回路（定電流回路）240で構成されており、且つ、この二つの抵抗素子R3、R4の接続点からのみ電流を供給する構成を有する。

#### 【0018】

同図によれば差動入力電圧 $V_{in+}$ 、 $V_{in-}$ がバッファ回路220の出力端子間に接続された抵抗R3、R4の両端に印加され、発生する電流 $I_{r2} = (V_{in+} - V_{in-}) / (R3 + R4)$ によりバッファ回路220の出力段のドレン端子より $I_{o3} = 1/2 \times I_{b3} + I_{r2}$ 、 $I_{o4} = 1/2 \times I_{b3} - I_{r2}$ の電流がそれぞれ得られる。続いて差電流抽出手段250によって二つのバッファ回路からの出力電流の差分値 $I_{o1} - I_{o2} = 1/2 \times I_{b3} - 1/2 \times I_{b3} + 2 \times I_{r2} = 2 \times I_{r2}$ が電圧変換手段により正入力端子に供給された電圧を基準に $V_{out} = R5 \times (I_{o3} - I_{o4}) = R5 \times 2 \times (V_{in+} - V_{in-}) / (R3 + R4)$ が出力される。つまり、従来例と同様に入力段及び出力段に設置された抵抗値R3、R4と差動入力電圧で決まる出力電圧が得られる。

#### 【0019】

ここで従来例と同様に定電流源で発生するフリッカノイズを考える。定電流源に発生するRMS値表記のフリッカノイズを $i_{b3}^2$ とすると出力電圧として以下の式で示される。

#### 【0020】

##### 【外4】

$$V_{out}^2 = R5^2 \times \left( \frac{1}{2} \times i_{b3} - \frac{1}{2} \times i_{b3} \right)^2 = 0$$

#### 【0021】

この式でも分かるように定電流源が二つの抵抗素子の接続点からのみ電流を供給する構成であるため、定電流源で発生するフリッカノイズはバッファ回路の出力端子より等しく振り分けられて伝送するため、相関のある信号として相殺され

ており出力には影響を与えない。

#### 【0022】

上記のように、本実施の形態によれば、第1の信号を入力する一方のMOSトランジスタ210で構成される第1の入力素子と、第2の信号を入力する一方のMOSトランジスタ210で構成される第2の入力素子と、前記第1及び第2の入力素子を駆動するMOSカレントミラー回路240で構成される定電流回路とを有し、前記第1の入力素子に入力された第1の信号と、前記第2の入力素子に入力された第2の信号の差信号を出力する差動増幅回路を、前記第1の入力素子と前記定電流回路とは、前記第1の抵抗素子を介して接続されるとともに、前記第2の入力素子と前記定電流回路とは、前記第2の抵抗素子を介して接続され、さらに、前記第1の抵抗素子の前記第1の入力素子と異なる側及び前記第2の抵抗素子の前記第2の入力素子と異なる側と、前記定電流回路とが接続されることによって、ラインダムノイズの低減がはかられる。

#### 【0023】

また、上記の実施の形態では、差動増幅回路を固体撮像装置に適用したものについて説明したが、固体撮像装置以外のものに適用しても良い。

#### 【0024】

図6は、図4に示す固体撮像装置を組み込んだカメラの概略構成を示す図である。なお、このカメラは、銀塩カメラに対立する概念として、一般的に電子カメラと呼ばれ、これにはスチルカメラ、ムビーカメラ、又は、それらの機能を混載したカメラ等が含まれる。また、このカメラは、例えば、パーソナルコンピュータや携帯端末等の情報処理装置にその一部として組み込まれてもよい。

#### 【0025】

固定式又は交換式のレンズユニット310により被写体像が固体撮像装置300上に結ばれる。固体撮像装置300の出力は、プロセッサ（画像処理部）320に供給される。

#### 【0026】

プロセッサ320は、固体撮像装置300から供給される信号に画像処理を施して表示装置340に供給したり、記憶メディア330に記録したりする。表示

装置340は、撮影・再生に関する各種の情報を表示する情報提供部として、及び、ビューファインダーとして機能しうる。

### 【0027】

なお、このカメラは、典型的には露出調整機能や焦点調節機能等を備える。これらの機能は周知の技術に基づいて設計することができるので、ここでは詳細な説明を省略する。

### 【0028】

#### 【発明の効果】

本発明によれば、差動增幅回路で発生するノイズを低減することが可能となる。

#### 【図面の簡単な説明】

##### 【図1】

従来のMOS型センサの概略構成を示す図である。

##### 【図2】

従来のMOS型センサに用いられる差動增幅回路の概略構成を示す図である。

##### 【図3】

従来のMOS型センサの駆動方法を示すタイミングチャートである。

##### 【図4】

本発明の実施の形態の固体撮像装置としてのMOS型センサの概略構成を示すブロック図である。

##### 【図5】

本発明の実施の形態の固体撮像装置としてのMOS型センサに用いられる差動增幅回路の概略構成を示す図である。

##### 【図6】

図4に示す固体撮像装置を組み込んだカメラの概略構成を示す図である。

#### 【符号の説明】

100 センサアレイ

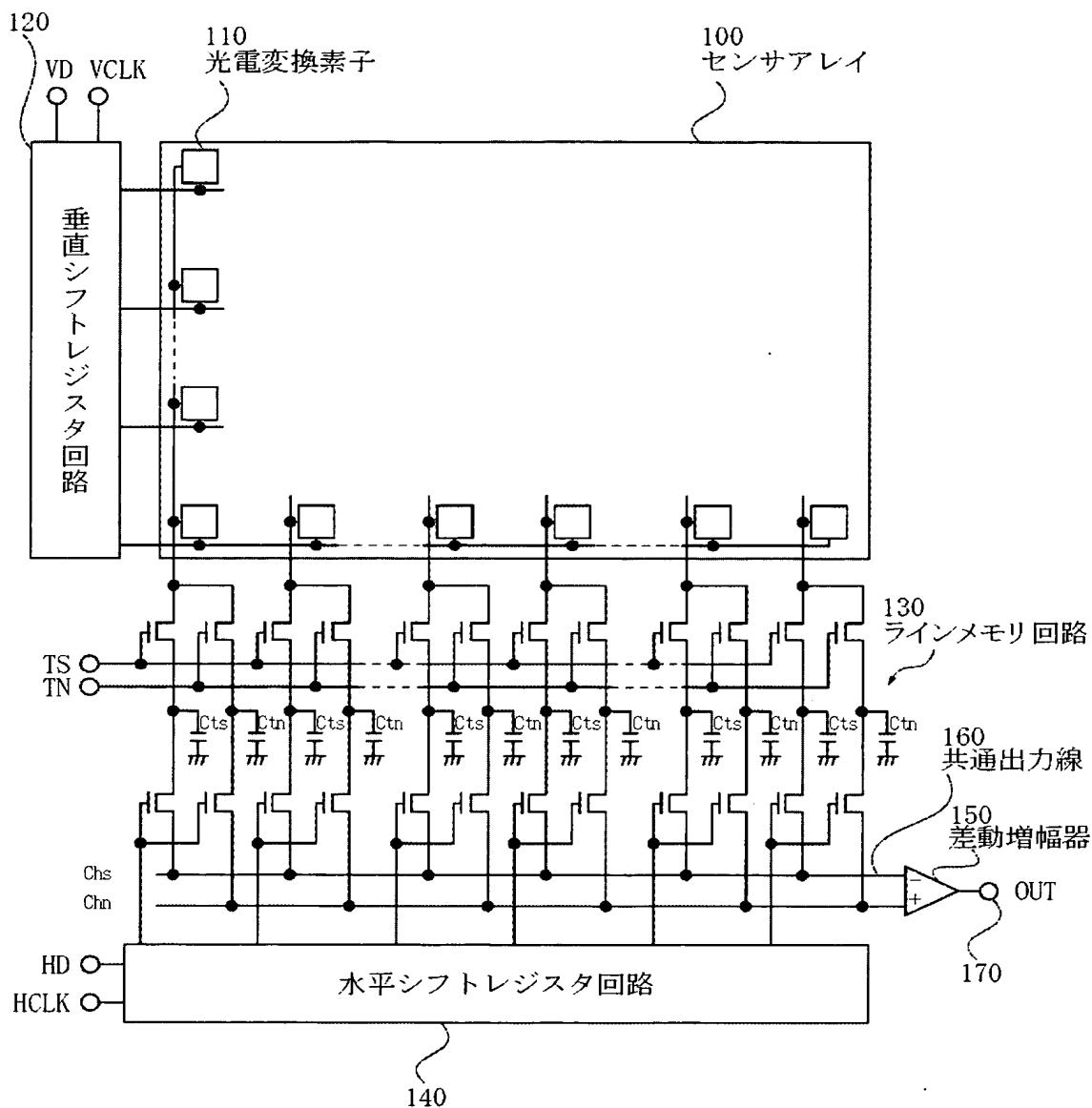
110 光電変換素子

120 垂直シフトレジスタ回路

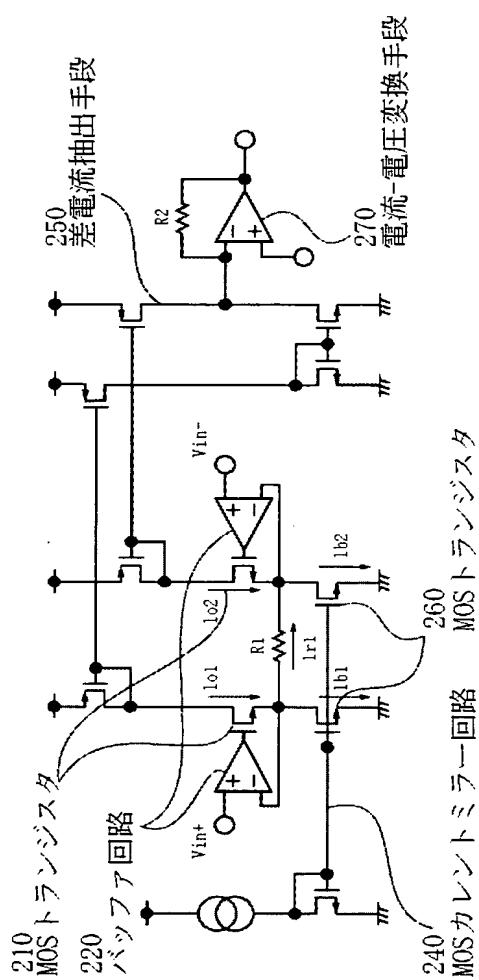
- 130 ラインメモリ回路
- 140 水平シフトレジスタ回路
- 150, 180 差動増幅器
- 160 共通出力線
- 170 OUT (出力端子)
- 210, 260 MOSトランジスタ
- 220 バッファ回路
- 240 MOSカレントミラー回路
- 250 差電流抽出手段
- 270 電流電圧変換手段
- 300 固体撮像装置
- 310 レンズユニット
- 320 プロセッサ
- 330 記憶メディア
- 340 表示装置

【書類名】 図面

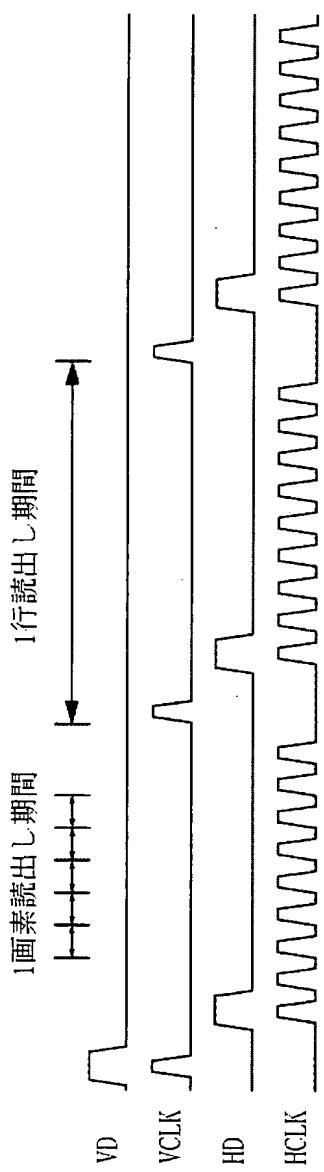
【図 1】



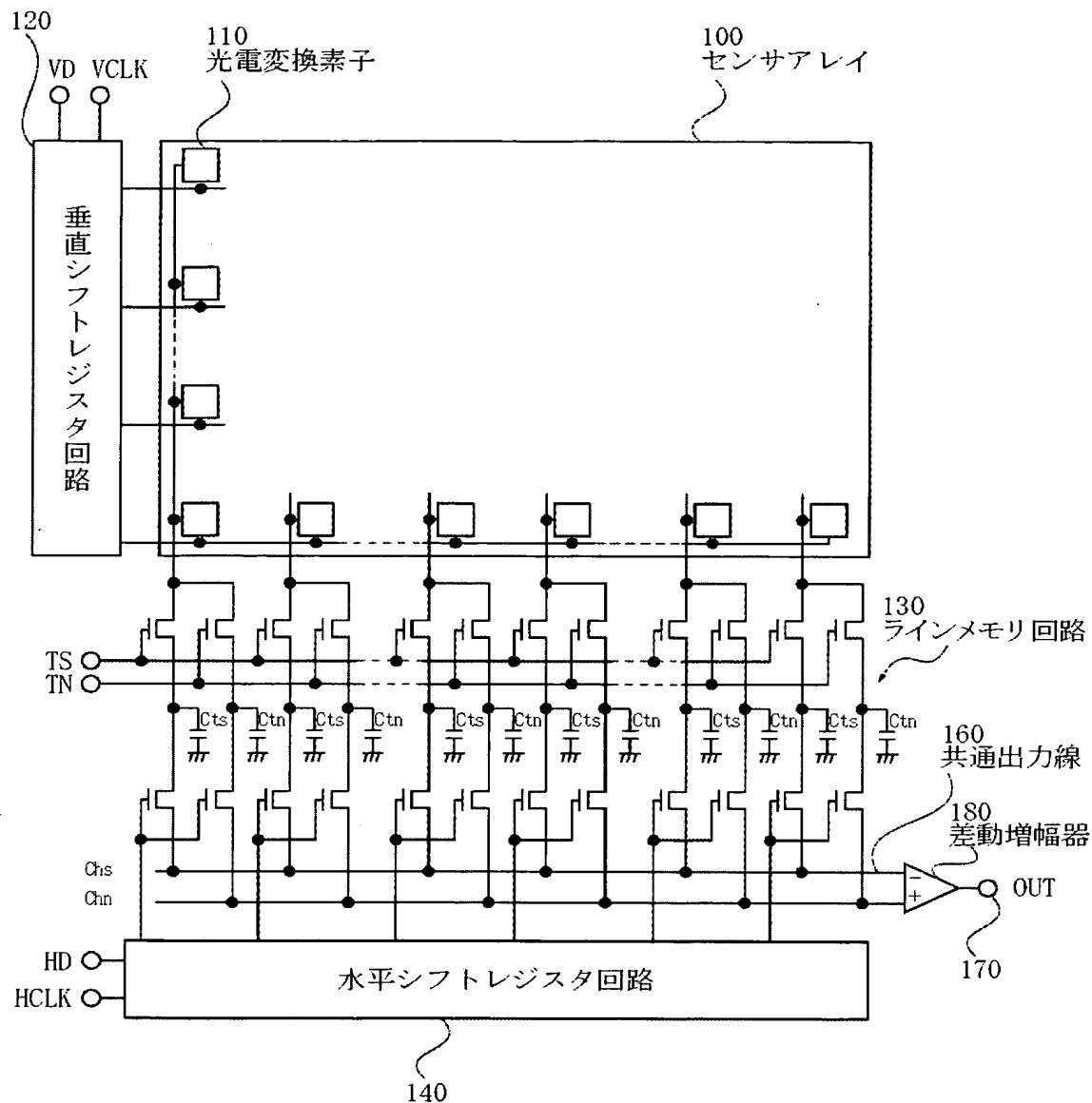
【図2】



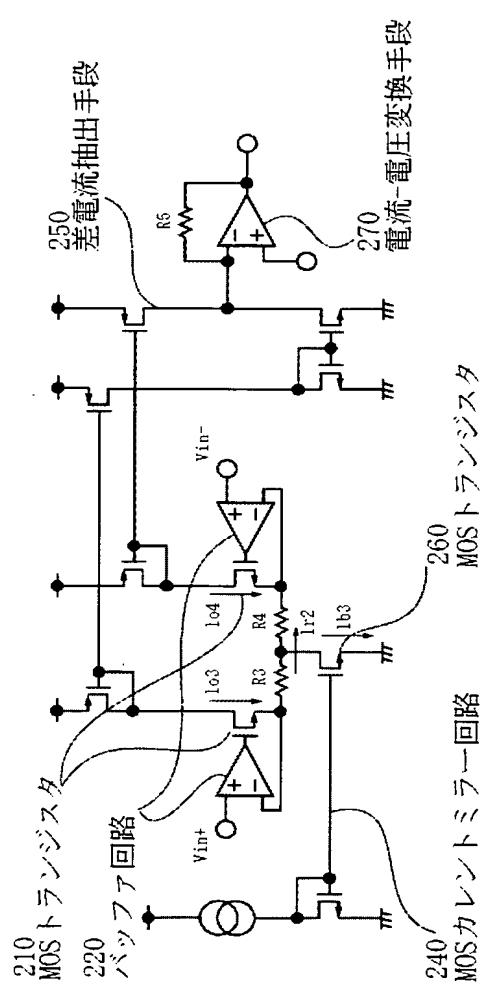
【図3】



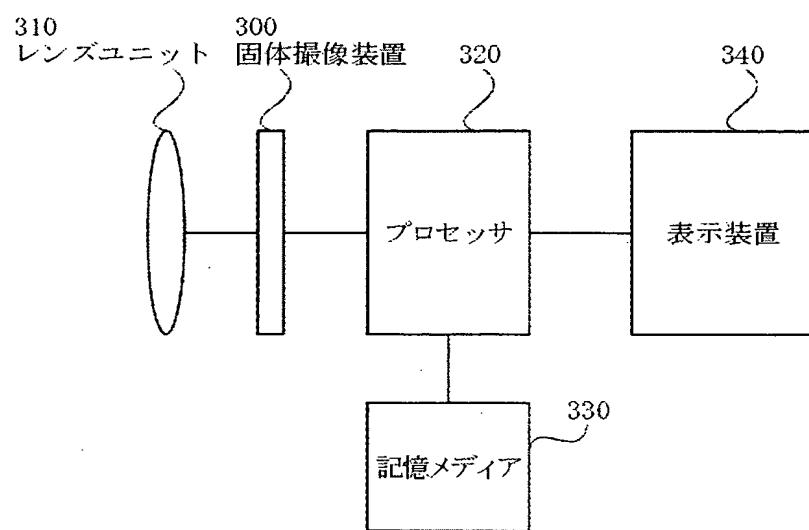
【図4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 差動増幅回路で発生するノイズを低減することが可能となる。

【解決手段】 第1の信号を入力する第1の入力素子と、第2の信号を入力する第2の入力素子と、前記第1及び第2の入力素子を駆動する定電流回路とを有し、前記第1の入力素子に入力された第1の信号と、前記第2の入力素子に入力された第2の信号の差信号を出力する差動増幅回路であって、前記第1の入力素子と前記定電流回路とは、前記第1の抵抗素子を介して接続されるとともに、前記第2の入力素子と前記定電流回路とは、前記第2の抵抗素子を介して接続され、さらに、前記第1の抵抗素子の前記第1の入力素子と異なる側及び前記第2の抵抗素子の前記第2の入力素子と異なる側と、前記定電流回路とが接続されることを特徴とする差動増幅回路を提供する。

【選択図】 図5

特願 2002-316310

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社